

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.

(TRANSLATION)

Japanese Patent No. 2798123
Patent Date : July 3, 1998

Application No. : 7-300329

Filing Date : November 17, 1995

Publication No. : 9-148943

Publication Date : June 6, 1997

Applicant : NEC Corporation

Inventor (s) : ANDO TAKASHI

Title of the Invention :
VITERBI DECODING DEVICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148943
(43)Date of publication of application : 06.06.1997

(51)Int.Cl. H03M 13/12
H04L 25/08

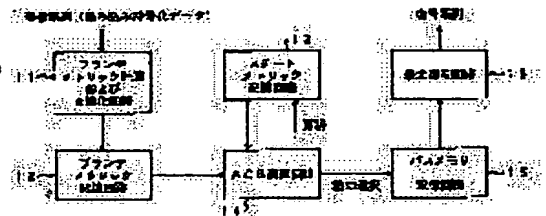
(21)Application number : 07-300329 (71)Applicant : NEC CORP
(22)Date of filing : 17.11.1995 (72)Inventor : ANDO TAKASHI

(54) VITERBI DECODING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten operation processing time and to simplify circuit constitution by collectively storing/moving branch metrics as a pair of data and executing addition/comparison and selection operation processings in parallel.

SOLUTION: In a viterbi decoding device whose code rate is 1/3, an addition/ comparison/selection(ACS) operation circuit 14 calculates and updates the metric of remaining paths in respective states at that time whenever it obtains a reception group corresponding to one bit of information. A branch metric storage circuit 12 allocates addresses so that 0 and 7, 1 and 6, 2 and 5, and 3 and 4 among eight branch metric patterns corresponding to the code rate can be accessed as pairs. The ACS operation circuit 14 inputs a pair of branch metric front the branch metric storage circuit 12 and the state metric of the remaining path in a previous decoding step from the branch metric storage circuit 12, and processes operation for two states in parallel.



LEGAL STATUS

[Date of request for examination] 17.11.1995
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2798123
[Date of registration] 03.07.1998
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

英文抄録は
特開平9-148943 のものを取寄せ。

SON-0509

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2798123号

(45) 発行日 平成10年(1998) 9月17日

(24) 登録日 平成10年(1998) 7月3日

(51) Int.Cl.⁸

識別記号

F I

H 0 3 M 13/12

H 0 3 M 13/12

請求項の数 1 (全 8 頁)

(21) 出願番号 特願平7-300329

(22) 出願日 平成7年(1995)11月17日

(65) 公開番号 特開平9-148943

(43) 公開日 平成9年(1997)6月6日

審査請求日 平成7年(1995)11月17日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 安藤 毅史

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74) 代理人 弁理士 後藤 洋介 (外2名)

審査官 稲葉 和生

(56) 参考文献 特開 昭63-215227 (J P, A)

特開 昭62-193323 (J P, A)

特開 平4-177917 (J P, A)

特開 昭61-62235 (J P, A)

特公 平4-20530 (J P, B 2)

信学技報、I T 86-47、P. 47-50

最終頁に続く

(54) 【発明の名称】 ビタビ復号装置

1

(57) 【特許請求の範囲】

【請求項1】 畳み込み符号化された受信系列をビタビアルゴリズムに基づいて最尤復号するビタビ復号装置において、ブランチメトリックを計算し、その最尤値が最も小さくなるように正規化するブランチメトリック計算および正規化手段と、該ブランチメトリック計算および正規化手段から出力される正規化されたブランチメトリックを対にして記憶するブランチメトリック記憶手段と、ステートメトリックを記憶するステートメトリック記憶手段と、前記ブランチメトリック記憶手段から読み出したブランチメトリック対と、前記ステートメトリック記憶手段から読み出した前記読み出したブランチメトリック対に対応するステートメトリックとをそれぞれ加算し、該加算結果を相互に比較し、さらに該比較結果に基づいて最も尤度の高いパスを求める処理を並列かつ一

2

括して行うとともに、新たなステートメトリックを得て前記ステートメトリック記憶手段の記憶内容を更新する加算・比較・選択手段と、該加算・比較・選択手段によって得られた前記パスの内容を記憶するパスメモリ記憶手段と、該パスメモリ記憶手段の記憶内容に基づいて復号を行う最尤復号判定手段とを有し、前記ブランチメトリック記憶手段が、前記加算・比較・選択手段が計算に使用する分のブランチメトリックを予め記憶する一対の記憶手段と、対になっているブランチメトリックを前記一対の記憶手段の同じアドレスに予めストアさせるための書き込みアドレス発生手段と、前記一対の記憶手段の同じアドレスに記憶された前記対になっているブランチメトリックを並列に読み出すための読み出しアドレス発生手段と、前記書き込みアドレス発生手段及び前記読み出しアドレス発生手段と前記一対の記憶手段との間に接

続され、前記一对の記憶手段双方のアドレスバスに書き込みアドレス及び読み出しアドレスのいずれか一方を供給する切り替えスイッチと、前記一对の記憶手段からの読み出されたブランチメトリックを該当するトレリスのブランチメトリックの出力に切り替えるブランチメトリック出力先切り替え選択手段とを有することを特徴とするビタビ復号装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビタビ復号装置に関し、特に、移動体通信システム等に使用されるビタビ復号装置に関する。

【0002】

【従来の技術】畳み込み符号を復号する復号方式の一つとして、ビタビアルゴリズムに基づき最尤復号するビタビ復号方式が良く知られている。ビタビ復号方式というのは、畳み込み符号に対する最尤復号方式であって、ビタビアルゴリズムに基づき、送信側エンコーダで生成され得る符号系列の中から、受信された符号系列に最も近い系列を選択することで、受信した符号系列に誤りがある場合でも正しく復号することできるという復号方式である。このビタビ復号方式は、通話路に生じるランダム誤りに対する訂正能力が高く移動体通信システム等においては、欠くことのできない技術となっている。

【0003】ビタビ復号方式では、情報1ビットに対応する符号化データ（受信系列：系列長は符号化率による）を得る毎に、その時点での各状態の生き残りバスのメトリック（累積計量）を計算し、更新するという演算処理を行う。

【0004】従来、このようなビタビ復号方式を採用した誤り訂正復号装置では、予め各バスがとるブランチメトリック（計量）の値を受信系列の値ごとに記憶したテーブルを記憶回路に備え、それぞれの時点での受信系列の値に応じてテーブルから各ブランチメトリックの値を引き出すことによって少ない演算量で各状態のメトリックを計算して更新することができるよう構成されている。

【0005】また、上述のように、各バスがとるブランチメトリックの値を受信系列の値ごとに記憶したテーブルを記憶回路に記憶させるためには、記憶回路が大きなメモリ量を有していなければならないので、演算量を増加させることなく、メモリ量を大幅に減少させた、誤り訂正復号装置も提案されている（例えば、特開平4-177917号公報）。特開平4-177917号公報に記載された装置は、図6に示すように、各時点における各々状態の生き残りバスの累積計量を計算し更新する演算処理を行う加算・比較・選択回路（ACS回路）61と、計量（ブランチメトリック）記憶回路62と、累計計量（メトリック）記憶回路63と、バスメモリ回路64と、最尤判定回路65とを備えている。この誤り訂正

復号装置では、ブランチメトリック記憶回路2に、予め受信系列の値に対してブランチメトリックとしてバスが取り得る値の候補を示す第一のテーブルと、各状態でのバスが実際に取るブランチメトリックが上記第一のテーブルとどのように対応しているかを示す第2のテーブルとを記憶させることにより、少ないメモリ量でありながら、少ない演算量で各状態のメトリックを計算して更新することができる。

【0006】

10 【発明が解決しようとする課題】従来の誤り訂正復号装置では、各バスがとるブランチメトリックの値を受信系列の値ごとに記憶したテーブルを記憶するための大容量の記憶装置が必要になるという問題点がある。

【0007】また、特開平4-177917号公報に記載されているような誤り訂正復号装置では、記憶回路から1個のブランチメトリックを呼び出す場合に、2つのテーブルにアクセスしなければならないため、ACS回路における演算処理時間が長くなり、情報伝送効率をあげることができないという問題点がある。しかも、ブランチメトリックの呼び出しは2個づつ行われるので、倍の時間を要する。つまり、アクセス回数が多いほど処理時間が長くなる。

【0008】また、この種の誤り訂正復号装置では、2つのテーブルに対応する呼び出し回路がそれぞれ必要となるために、回路の簡略化及び低消費電力化の妨げになっているという問題点がある。

【0009】本発明は、メモリ量を減少させ、回路構成を簡略化すると共に、ACS回路における演算処理の効率を向上させたビタビ復号装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によれば、畳み込み符号化された受信系列をビタビアルゴリズムに基づいて最尤復号するビタビ復号装置において、ブランチメトリックを算出し、その最尤値が最も小さくなるように正規化するブランチメトリック計算および正規化手段と、該ブランチメトリック計算および正規化手段から出力される正規化されたブランチメトリックを対にして記憶するブランチメトリック記憶手段と、ステートメトリックを記憶するステートメトリック記憶手段と、前記ブランチメトリック記憶手段から読み出したブランチメトリック対と、前記ステートメトリック記憶手段から読み出した前記読み出したブランチメトリック対に対応するステートメトリックとをそれぞれ加算し、該加算結果を相互に比較し、さらに該比較結果に基づいて最も尤度の高いバスを求める処理を並列かつ一括して行うとともに、新たなステートメトリックを得る前記ステートメトリック記憶手段の記憶内容を更新する加算・比較・選択手段と、該加算・比較・選択手段によって得られた前記バスの内容を記憶するバスメモリ記憶手段と、該バスメモリ

記憶手段の記憶内容に基づいて復号を行う最尤復号判定手段とを有することを特徴とするビタビ復号装置が得られる。

【0011】また、本発明によれば、前記加算・比較・選択手段が、2状態分の演算を並列して行うために、第1乃至第4の加算手段と、前記第1及び第2の加算手段と前記第3及び第4の加算手段とにそれぞれ接続され状態メトリックの大小比較を行うとともにバスメモリを求める第1及び第2の比較手段と、該第1及び第2の比較手段の比較結果に基づいて状態メトリックをそれぞれ出力する第1及び第2の選択手段とを有することを特徴とするビタビ復号装置が得られる。

【0012】さらにまた、本発明によれば、前記ブランチメトリック記憶手段が、前記加算・比較・選択手段が計算に使用する分のブランチメトリックを予め記憶する1対の記憶手段と、対になっているブランチメトリックを前記1対の記憶手段の同じアドレスに予めストアさせるため書き込みアドレス発生手段と、前記1対の記憶手段の同じアドレスに記憶された前記対になっているブランチメトリックを並列に読み出すための読み出しアドレス発生手段と、前記書き込みアドレス発生手段及び前記読み出しアドレス発生装置と前記1対の記憶手段との間に接続され、前記1対の記憶手段の双方のアドレスバスに書き込みアドレス及び読み出しアドレスのいずれか一方を供給する切り替えスイッチと、前記1対の記憶手段から読み出されたブランチメトリックを該当するトレリスのブランチメトリックの出力に切り替えるブランチメトリック出力先切り替え選択手段とを有することを特徴とするビタビ復号装置が得られる。

【0013】

【作用】対になって記憶されたブランチメトリックは、ACS回路において演算処理を行う場合に同時に読み出すことができ、その後の演算も同時に行うことができる。これによって、演算処理時間を半減することができる。

【0014】また、読み出し回路が1つで良く、しかも回路の一部をインデックスカウンタと共有するため、回路構成の簡略化、及び低消費電力を実現できる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明のビタビ復号装置の実施の形態について説明する。図1に本発明のビタビ復号装置の一実施の形態を示す。ここで、図1のビタビ復号装置は、拘束長7、符号率1/3の畳み込み符号化データに対応するように構成されているものとする。

【0016】図1のビタビ復号装置は、受信系列に対するブランチメトリックを求め正規化を行うブランチメトリック計算および正規化回路11、得られたブランチメトリックを記憶するブランチメトリック記憶回路12、状態メトリック（累積計量）を記憶する状態メ

トリック記憶回路13、ブランチメトリックと状態メトリックとを加算、比較、選択し、状態メトリック記憶回路13の記憶内容を更新するACS演算回路14、枝の選択結果を記憶するバスメモリ記憶回路15、及びバスメモリを使って復号系列を生成する最尤復号回路（トレリスサーチ処理回路）16を有している。

【0017】ブランチメトリック記憶回路12は、図2に示すように、2つのブランチメトリックメモリ21、22と、これらブランチメトリックメモリ21、22に対して書き込みアドレスを発生する書き込みアドレス発生回路23と、同じくブランチメトリックメモリ21、22に対して読み出しアドレスを発生する読み出しアドレス発生回路24と、書き込みアドレス発生回路23および読み出しアドレス発生回路24のいずれか一方を選択的にブランチメトリックメモリ21、22へ出力する読み出し書き込み切り替えスイッチ25と、読み出しアドレス発生回路24からの切り替え信号に制御されてブランチメトリックメモリ21、22の出力先を切り替える出力先切替スイッチ26とを有している。なお、ブランチメトリックメモリ21、22として、ACS演算回路14の内部記憶回路を用いることができる。また、ここには、1状態の復号処理に必要なブランチメトリックが記憶できればよいので、メモリの容量小さくてすむ。

【0018】また、ブランチメトリック回路12の書き込みアドレス発生回路23は、図3に示すように、ブランチメトリックのパターンインデックスをカウントするカウンタ回路31と、カウンタ回路31からのカウンタ値から書き込みアドレスを生成する排他的論理和結合回路32とを有している。この書き込みアドレス発生回路23では、ブランチメトリック対を2つの記憶回路21、22の同じアドレスに格納させるために、カウンタ値の下位nビットのそれぞれと、最上位ビットとの排他的論理和を取ることで、書き込みアドレスとしている。即ち、カウンタ回路31が0、1、2、3、4、5、6、7を順次カウントするとすると、排他的論理和結合回路32からは、0、1、2、3、2、1、0が順次出力される。

【0019】さらにまた、ブランチメトリック回路12の読み出しアドレス発生回路24は、図4に示すように、状態数をカウントするカウンタ回路41と、カウンタ回路41のカウンタ値から、読み出しアドレスを生成するための2つの排他的論理和結合回路42、43とを有している。なお、排他的論理和結合回路42の構成は、復号しようとする畳み込み符号を生成した畳み込み符号器（図示せず）の構成に準じている。

【0020】また、ACS演算回路13は、図5に示すように、ブランチメトリック記憶回路12からのブランチメトリック対に、状態メトリック記憶回路14からの状態メトリック対をそれぞれ加算する加算器5

1、52、53、及び54と、加算器51、52、53、及び54からの加算結果を比較する比較回路55、56と、比較結果に基づいて加算結果の一方を出力する選択回路57、58とを有している。なお、比較回路55、56の比較結果は、バスメモリ記憶回路15の2つのバスメモリ記憶領域にそれぞれ記憶される。また、選択回路57、58で選択された加算結果は、ステートメトリック記憶回路13に記憶される。ここで、ステートメトリック記憶回路13は、読み出し用と書き込み用とをACS演算回路14におけるステージ毎に交互に切り替えるので、2バンク構成になっている。

【0021】以下、このビタビ復号装置の動作について説明する。まず、受信系列が入力されると、ブランチメトリック正規化回路11は、受信系列と内部に保持する符号系列(8パターン)の各パターンとの内積をとりブランチメトリックを計算する。ここでは、受信系列と各パターンとの相関値が大きいものほど距離が近い。そして、距離が最も近いパターンのブランチメトリックが0となるように、得られたブランチメトリックを正規化する。正規化されたブランチメトリックは、現在の復号ステップの始めに(ACS演算前に)、その復号ステップに必要とされる分だけ、ブランチメトリック記憶回路12の、書き込みアドレス発生回路23が指示する番地に格納される。ここで、ブランチメトリックは、数式1に従って、対にされ2つのブランチメトリックメモリ21、22の同一番地に格納される。

【0022】

【数1】符号化率 $1/n$ のとき、 $i=0, \dots, 2^{n-1}-1$ 、とすると、
ブランチメトリック対 $= (i, 2^n - 1 - i)$
詳述すると、本実施の形態の場合、符号化率 $1/3$ なので、ブランチメトリックのパターンは8通りある。その中で、パターン0とパターン7、パターン1とパターン6、パターン2と5、パターン3と4、はそれぞれACS演算時に、ブランチメトリック対として扱われる。書き込みアドレス回路23は、上述したように、カウンタ回路31が0、1、2、3、4、5、6、7をカウントした時に0、1、2、3、3、2、1、0を出力する。従って、パターン0とパターン7はアドレス0番地に、パターン1とパターン6はアドレス1番地に、という具合に、同じアドレスに格納される。

【0023】こうして、ブランチメトリック記憶回路12に格納されたブランチメトリック対は、ACS演算時に、トレリス上の各枝に対応するように読み出しアドレス発生回路24の指示に従って読み出される。対で読み出されたブランチメトリックは、その先に接続された出力先切替スイッチ26により、各々該当するトレリスのブランチメトリックバスを介してACS演算回路へ出力される。

【0024】詳述すると、読み出しアドレス発生回路2

4は、ACS処理時のステート状態の情報インデックスとしてのカウンタ41の値から、畳み込み符号器に準じた排他的論理和回路42によって、3ビットのパターンデータを出力する。そして、書き込みアドレス発生回路23と同様に構成した排他的論理和回路43は、この3ビットのパターンデータから、そのステートでの計算に使用されるブランチメトリック対を読み出すための読み出しアドレスを生成する。また、排他的論理和回路42からの3ビットパターンデータの最上位ビットは、ブランチメトリック出力先切替信号として出力先切替スイッチ26に供給される。こうして読み出されたブランチメトリック対は、所定のデータバスを介してACS演算回路14へ出力される。

【0025】ACS演算回路14は、2ステート分の計算を並列して行う。詳述すると、ACS演算回路14は、ブランチメトリック記憶回路12からのブランチメトリック対と、前回の復号ステップにおいて、ステートメトリック記憶回路13に記憶された各状態の生き残りバスのステートメトリックとを入力データとする。これらの入力データは、それぞれ加算回路51、52、53、及び54に入力され、加算される。つまり、各状態ごとに、その状態への2つのバスに対する加算結果を得る。そして、これらの加算結果をそれぞれ比較回路55、56で比較し、比較の結果に基づいて新しい生き残りバスを選択器57、58でそれぞれ選択する。

【0026】ACS演算回路14で選択されたステートメトリックは、次の復号ステップにおける各状態の生き残りバスに対するステートメトリックとして、次の復号ステップに使用するため、中間結果のデータとして、ステートメトリック記憶回路13に書き込まれる。即ち、ステートメトリック記憶回路13は、その記憶内容が更新される。

【0027】同時に、ACS演算回路14で選択された結果を表す情報(バスメモリ)は、バスメモリ記憶回路のバスメモリ記憶領域に書き込まれる。

【0028】ACS演算回路14は、上記ブランチメトリックの読み込みから、バスメモリ記憶領域への書き込みまでを1復号ステップとして全復号ステップが終了するまで繰り返す。その後、最尤復号回路16は、バスメモリ記憶回路15に記憶された全情報を用いて、トレリスサーチ処理を行って復号系列を出力、ビタビ復号を完了する。

【0029】

【発明の効果】本発明によれば、2ステート分のACS演算を並列に行えるようにしたことで、各ステートの計算を1ステートずつ行う場合に比べ、処理時間が半分になる。また、1復号処理の中で、ステートメトリックを2度読み込む必要がなく、メモリアクセス時間も短縮できる。

【0030】また、ACS計算に必要なブランチメトリ

9

ックのみを記憶させるようにしたことで記憶回路の容量を小さくできる。また、ブランチメトリックを対にして書き込み読み出しを行うようにしたことで、読み出しアドレス発生回路が1つですみ、しかもインデックスカウンタが利用できるので、回路構成の簡略化、消費電力の低減を実現できる。

【図面の簡単な説明】

【図1】本発明のビタビ復号装置の一実施の形態を表すブロック図である。

【図2】図1のブランチメトリックの詳細を示すブロック図である。

【図3】図2の書き込みアドレス発生回路の詳細を示す回路図である。

【図4】図2の読み出しアドレス発生回路の詳細を示す回路図である。

【図5】図1の加算・比較・選択回路の詳細を示すブロック図である。

【図6】従来のビタビ復号器のブロック図である。

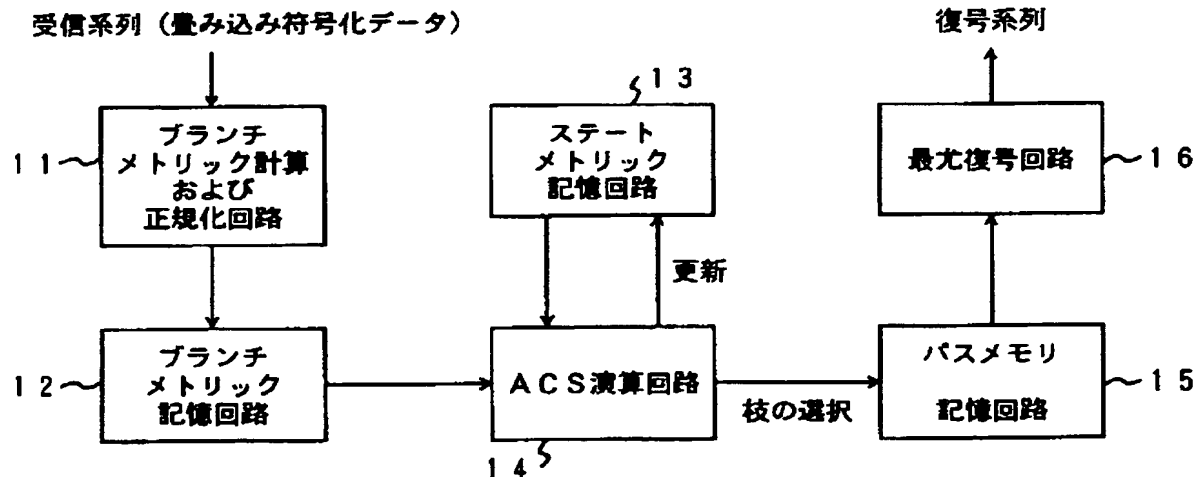
【符号の説明】

- 11 ブランチメトリック計算および正規化回路
12 ブランチメトリック記憶回路

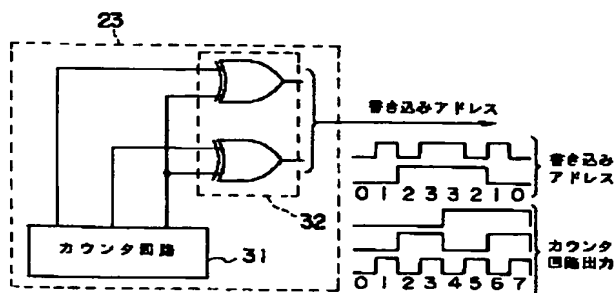
20

- 13 ステートメトリック記憶回路
14 ACS演算回路
15 バスメモリ記憶回路
16 最尤復号回路
21, 22 ブランチメトリックメモリ
23 書き込みアドレス発生回路
24 読み出しアドレス発生回路
25 読み出し書き込み切り替えスイッチ
26 出力先切替スイッチ
31 カウンタ回路
32 排他的論理和結合回路
41 カウンタ回路
42, 43 排他的論理和結合回路
51, 52, 53, 54 加算器
55, 56 比較回路
57, 58 選択回路
61 加算・比較・選択回路(ACS回路)
62 計量(ブランチメトリック)記憶回路
63 累計計量(メトリック)記憶回路
64 バスメモリ回路
65 最尤判定回路

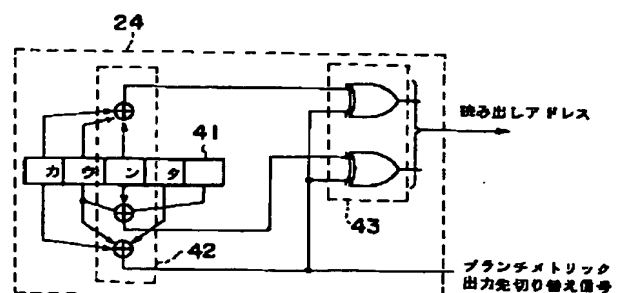
【図1】



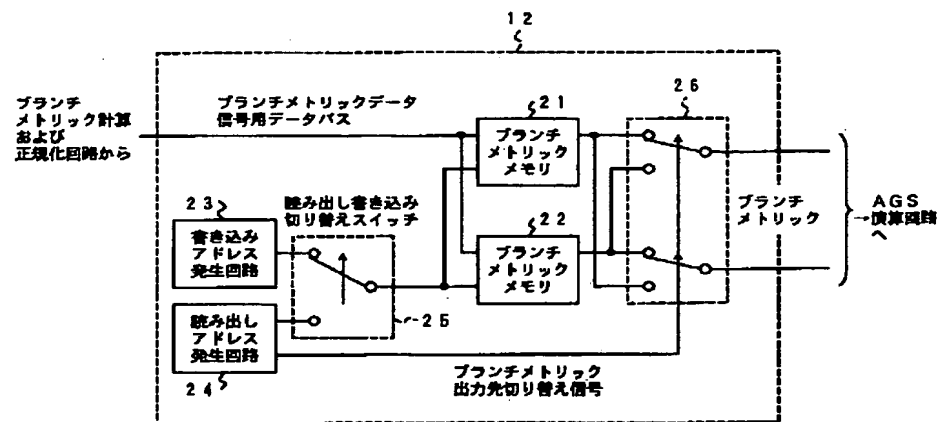
【図3】



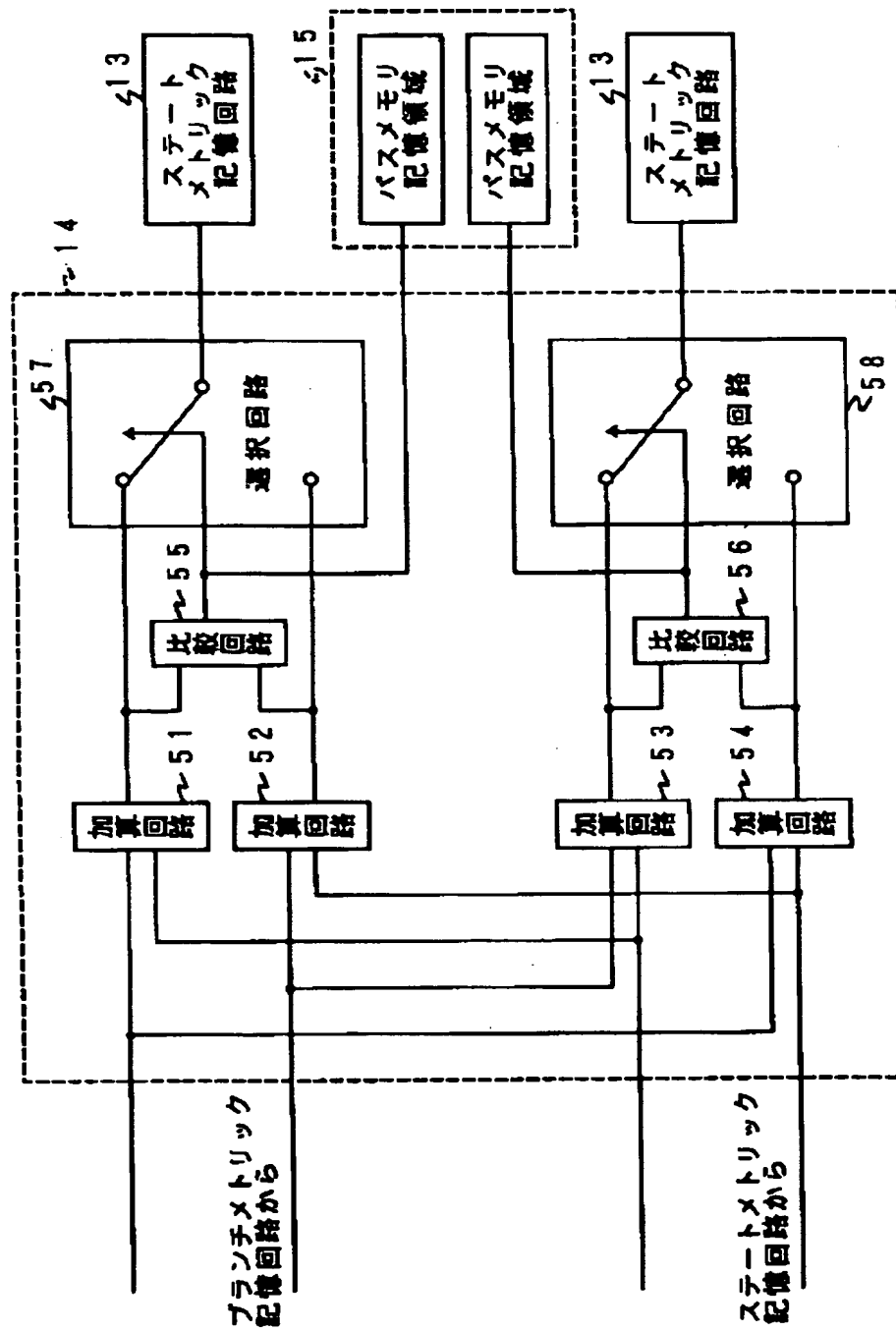
【図4】



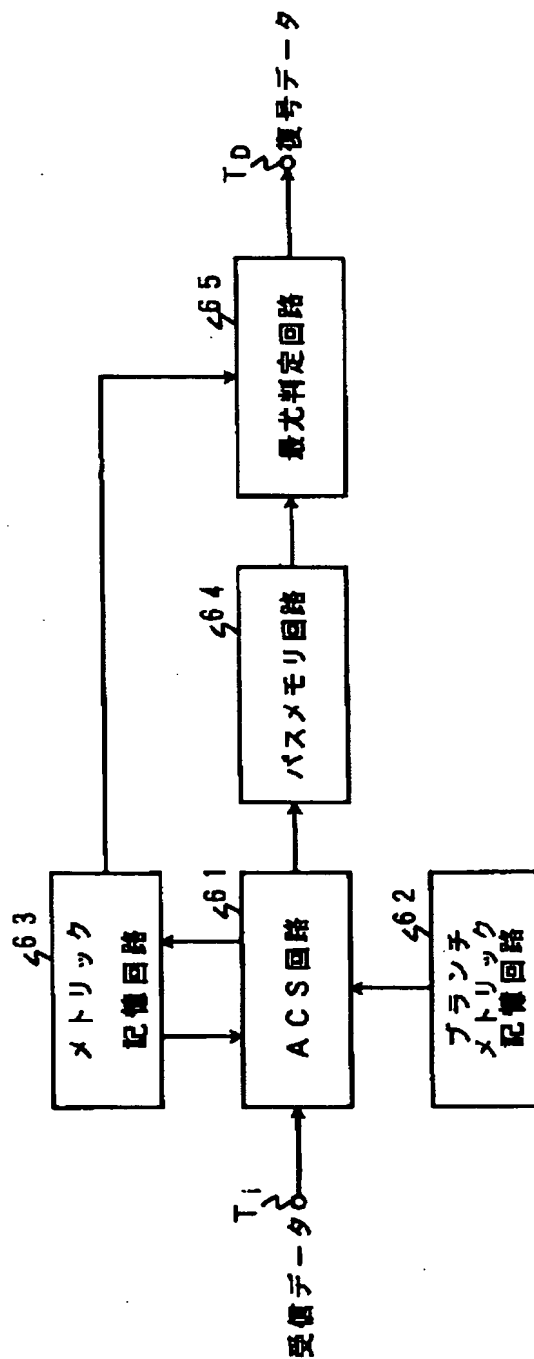
【図2】



【図5】



【図6】



フロントページの続き

(58)調査した分野(Int.Cl.⁶, DB名)

H03M 13/00 - 13/22